

JP08264531 A

SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

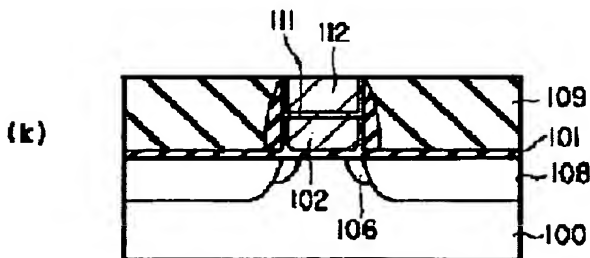
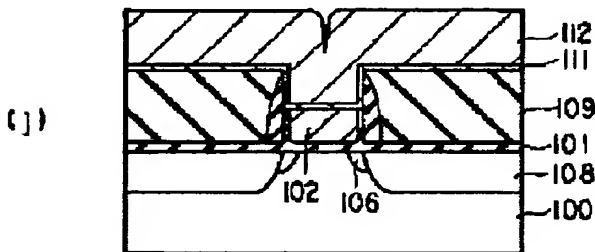
TOSHIBA CORP

Inventor(s): NAKAJIMA KAZUAKI ; SUGURO KYOICHI

Application No. 07063099 JP07063099 JP, Filed 19950322, A1 Published 19961011

Abstract: PURPOSE: To obtain a semiconductor device in which the reliability is enhanced while reducing the RC delay by improving the structure of electrode and interconnection.

CONSTITUTION: The gate electrode of an MOSFET comprises a polysilicon 102 and a tungsten 112 deposited on the opposite sides of a reaction barrier wall, i.e., a tungsten nitride 111. The tungsten 112 is surrounded by an insulator, i.e., a silicon nitride 109, having coefficient of thermal expansion close to that of the tungsten 112. First, a trench having the bottom part of polysilicon 102 and the side part of silicon nitride 109 is made and then it is filled with the tungsten nitride 111 and the tungsten 112 thus forming an electrode having self-aligned laminar structure of polysilicon 102, tungsten nitride 111 and tungsten 112.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-264531

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3205		H 0 1 L 21/88	R
	21/28	3 0 1	21/28	3 0 1 R
	29/78		21/88	Q
			29/78	3 0 1 G

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21) 出願番号 特願平7-63099

(22) 出願日 平成7年(1995)3月22日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中嶋 一明

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 須黒 恭一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

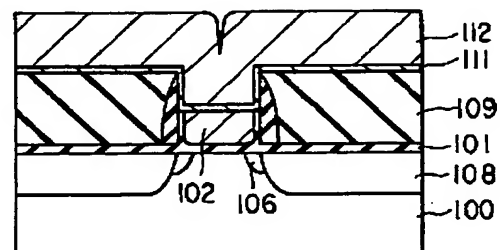
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

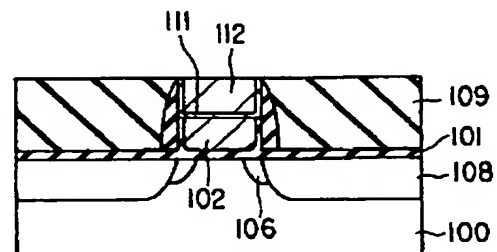
【目的】電極及び配線の構造を改良し、半導体装置の信頼性向上とRC遅延の低減を図る。

【構成】MOSFETのゲート電極は、反応障壁層である窒化タングステン膜111を挟んで配設された、多結晶ケイ素膜102と高融点金属膜であるタングステン膜112とを含む。タングステン膜112は、これに対して熱膨張係数の近い絶縁膜である窒化ケイ素膜109に囲まれる。まず、底部が多結晶ケイ素膜102で、側部が窒化ケイ素膜109からなる溝が形成され、そして、同溝内に窒化タングステン膜111及びタングステン膜112が埋め込まれる。これにより、自己整合的に多結晶ケイ素膜102、窒化タングステン膜111及びタングステン膜112の積層構造からなる電極が形成される。

(j)



(k)



【特許請求の範囲】

【請求項1】高融点金属膜を含む配線及び電極が高融点金属膜に対し熱膨張係数の近い絶縁膜で覆われていることを特徴とする半導体装置。

【請求項2】高融点金属膜を含む配線及び電極パターンの形成に際し、前記高融点金属膜に対して熱膨張係数の近い絶縁膜を基板上に堆積すると共に前記絶縁膜に溝を形成する工程と、前記絶縁膜上に反応障壁層及び前記高融点金属膜を順に堆積し、前記溝を埋め込む工程と、前記反応障壁層及び前記高融点金属膜を平坦化する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項3】前記溝を形成する工程が、多結晶ケイ素膜を基板上に堆積する工程と、前記多結晶ケイ素膜上に酸化ケイ素膜を形成する工程と、前記多結晶ケイ素膜及び前記酸化ケイ素膜からなる積層膜をパターニングする工程と、パターニングされた前記積層膜を含む前記基板上に前記絶縁膜を堆積する工程と、前記絶縁膜を平坦化する工程と、前記酸化ケイ素膜を選択的に除去する工程と、を具備することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】前記多結晶ケイ素膜の堆積後でかつ前記酸化ケイ素膜の堆積前に、前記多結晶ケイ素膜を平坦化する工程をさらに具備することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】前記溝を形成する工程が、多結晶ケイ素膜を基板上に堆積する工程と、前記多結晶ケイ素膜をパターニングする工程と、パターニングされた前記多結晶ケイ素膜を含む前記基板上に前記絶縁膜を堆積する工程と、パターニングされた前記多結晶ケイ素膜が露出するように前記絶縁膜を平坦化する工程と、パターニングされた前記多結晶ケイ素膜を酸化雰囲気に曝し、該多結晶ケイ素膜上に酸化ケイ素膜を形成する工程と、前記酸化ケイ素膜を選択的に除去する工程と、を具備することを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、高融点金属膜、反応障壁層及び多結晶ケイ素膜の積層構造からなる配線及び電極パターンを具備する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体デバイスの高集積化、高速化に対する要求が高まっている。これらの要求を実現すべく、素子間及び素子寸法の縮小化、微細化が進められる一方、内部配線材料の低抵抗化などが検討されている。

【0003】とりわけRC遅延が顕著に現れるワード線では、低抵抗化が大きな課題となっている。そこで、最近では低抵抗化を図るため、金属シリサイド膜と多結晶

ケイ素膜の2層構造を採用したポリサイドゲートが広く採用されている。高融点金属のシリサイドは多結晶ケイ素膜に比べ比抵抗が約1桁低く、かつ耐酸化性に優れており、低抵抗配線として有望である。シリサイドとしては、タングステンシリサイド(WSi_x)が最も広く使用されている。

【0004】しかし、0.25 μ m世代以降では、さらなる遅延時間の短縮化が求められている。仮に、ポリサイド構造によってシート抵抗1 Ω /□以下のゲート電極を実現した場合、シリサイド膜の膜厚は厚くなり、ゲート電極のアスペクト比は非常に高くなる。その結果、ゲート電極パターンや電極上の層間膜の加工が難しくなるため、ゲート電極材料には金属シリサイドよりも比抵抗の低い材料を用いる必要がある。

【0005】最近、高融点金属膜、反応障壁層及び多結晶ケイ素膜からなるポリメタルゲート構造が注目されている。例えばタングステンの比抵抗はWSi_xに比べ約1桁小さく、RC遅延の大幅な短縮が可能である。また、タングstenは多結晶ケイ素と800℃程度の加熱処理で容易に反応するが、タングsten膜と多結晶ケイ素膜との間に反応障壁層を挟むことにより、耐熱性に優れた低抵抗ゲート構造が形成可能となる。

【0006】

【発明が解決しようとする課題】上述したように、高融点金属膜、反応障壁層及び多結晶ケイ素膜の積層からなるポリメタル構造は次世代の低抵抗ゲート材料として期待される。しかし、高融点金属膜は、一般に酸化ケイ素膜などの層間膜に比べ熱膨張係数が一桁程度大きい。そのため、高融点金属膜を電極や配線に用いた場合、電極とそれを覆う層間膜との間に大きなストレスが加わる。特にMOS型トランジスタの電極では、電極の側面に加わるストレスが電極直下の薄いゲート酸化膜に大きな悪影響を与え、酸化膜の信頼性を著しく劣化させる。よって、電極側面に働くストレスは可能な限り抑える必要があり、熱膨張係数を考慮した構造が望まれる。

【0007】また、本ポリメタル構造を製造する上で、克服すべき多くの問題がある。まずタングstenをはじめとした高融点金属膜は非常に酸化され易く、例えば、タングstenは500℃程度で酸化される。タングstenの酸化物は絶縁体であり、さらには酸化とともに堆積膨張を引き起こすため、ポリメタル構造の電極を酸化性雰囲気中で加熱することはできない。

【0008】一般に、LSI製造工程において、ゲート電極形成後に酸化膜の信頼性向上を目的とした後酸化という工程が必要とされる。ポリメタル構造においてもその必要性は変わらないが、上述したようにタングstenが酸化されるため、後酸化工程を行う訳にはいかない。

【0009】さらに、イオン注入後には不純物の活性化のため加熱処理を行うが、通常用いられる加熱処理用の炉内では残留酸素が無視できない。このため、Wが露出

したままでは加熱処理を行うこともできない。

【0010】これら酸化の問題に対し、タングステンを酸化させずにシリコンを選択的に酸化させる方法が提案されている（特公平4-58688）。この方法によれば、水素と水蒸気の方圧制御により、シリコンのみを酸化させることが可能である。

【0011】しかしながら、この方法は水素ガスを多量に使用するため、安全性の点で問題があり、その実用化は困難である。さらに、特殊な設備を維持する必要がある、経費がかかるという問題がある。

【0012】また、ポリメタル構造のような積層型電極のパターンを形成する上で、新たな問題が発生する。通常、多結晶ケイ素膜単層からなる電極パターン形成の場合、エッチングマスクに対し多結晶ケイ素膜を異方性かつ選択的に加工し、下地の薄いゲート酸化膜に対して高い選択比で多結晶ケイ素膜をエッチングしなければならない。その上、高融点金属膜と多結晶ケイ素膜からなるポリメタル電極パターンを形成する場合、これに加えて高融点金属膜を多結晶ケイ素膜及び薄い酸化膜に対し選択的にエッチングする必要がある。

【0013】しかしながら、現在用いられているエッチング技術では、多結晶ケイ素膜に対し高融点金属膜を選択的にエッチングすることができないために、高融点金属膜をエッチングする段階で、下層にある多結晶ケイ素膜が大幅に削られ、最悪の場合にはシリコン基板までエッチングされる。

【0014】さらに、金属膜は比較的大きな粒径を有し、その値は $0.1\mu\text{m}$ 以上にもなる。一般にドライエッチングは粒界部分で進行しやすく、パターンの長手方向は直線状にエッチングされず、ぎざぎざな形状になる。パターン寸法が $0.2\mu\text{m}$ 程度の世代になると、このぎざぎざは無視できず、配線の寸法バラツキ要因となるため、トランジスタの動作特性に多大な悪影響を与える。本発明は、上記問題を考慮してなされたもので、信頼性向上とRC遅延の低減を可能とする半導体装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明に係る半導体装置は、高融点金属膜を含む配線及び電極が高融点金属膜に対し熱膨張係数の近い絶縁膜で覆われていることを特徴とする。本発明に係る半導体装置の製造方法は、高融点金属膜を含む配線及び電極パターンの形成に際し、前記高融点金属膜に対して熱膨張係数の近い絶縁膜を基板上に堆積すると共に前記絶縁膜に溝を形成する工程と、前記絶縁膜上に反応障壁層及び前記高融点金属膜を順に堆積し、前記溝を埋め込む工程と、前記反応障壁層及び前記高融点金属膜を平坦化する工程と、を具備することを特徴とする。

【0016】本発明に係る半導体装置の製造方法のある態様において、前記溝を形成する工程が、多結晶ケイ素

膜を基板上に堆積する工程と、前記多結晶ケイ素膜上に酸化ケイ素膜を形成する工程と、前記多結晶ケイ素膜及び前記酸化ケイ素膜からなる積層膜をパターニングする工程と、パターニングされた前記積層膜を含む前記基板上に前記絶縁膜を堆積する工程と、前記絶縁膜を平坦化する工程と、前記酸化ケイ素膜を選択的に除去する工程と、を具備する。この場合、前記多結晶ケイ素膜の堆積後かつ前記酸化ケイ素膜の堆積前に、前記多結晶ケイ素膜を平坦化する工程をさらに具備することができる。

【0017】本発明に係る半導体装置の製造方法の別の態様において、前記溝を形成する工程が、多結晶ケイ素膜を基板上に堆積する工程と、前記多結晶ケイ素膜をパターニングする工程と、パターニングされた前記多結晶ケイ素膜を含む前記基板上に前記絶縁膜を堆積する工程と、パターニングされた前記多結晶ケイ素膜が露出するように前記絶縁膜を平坦化する工程と、パターニングされた前記多結晶ケイ素膜を酸化雰囲気に曝し、該多結晶ケイ素膜上に酸化ケイ素膜を形成する工程と、前記酸化ケイ素膜を選択的に除去する工程と、を具備する。

【0018】

【作用】本発明によれば、高融点金属の周辺は熱膨張係数の近い材料で囲まれており、熱膨張にともなう内部ストレスは生じにくい。よって、本構造を採用することにより、電極側面に加わるストレスを大幅に低減可能であり、ゲート酸化膜の信頼性向上が可能となる。

【0019】また、本発明によれば、上述した構造の電極及び配線を具備する半導体装置の製造に際し、底部に多結晶ケイ素膜を有する絶縁膜の溝内部に反応障壁層及び高融点金属膜を埋め込むことにより、高融点金属膜と反応障壁層と多結晶ケイ素膜とからなる構造を形成することが可能となる。

【0020】なお、酸化ケイ素膜と多結晶ケイ素膜とを同一のレジストパターンでエッチングし、窒化ケイ素膜で全面を覆い平坦化した後、酸化膜のみを選択的に除去することにより、多結晶ケイ素膜上に選択的に溝を形成することが可能であり、よって、自己整合的に反応障壁層及び高融点金属膜を埋め込むことができる。

【0021】つまり、本発明によれば多結晶ケイ素膜とその上層の反応障壁層及び高融点金属膜との合わせズレといった問題は発生しない。さらに、高融点金属膜の堆積前に後酸化工程を行うことが可能であり、酸化膜の信頼性向上を図ることができるとともに、上述した選択酸化といった特殊な酸化技術を必要としない。

【0022】また、イオン注入後の加熱処理を行う際にも、高融点金属膜の堆積前に行うことが可能であり、残留酸素の影響を心配する必要はない。さらに、高融点金属膜は溝埋め込みによって形成するため、高融点金属膜を下地多結晶ケイ素膜に対し選択的にエッチングする必要もなく、異方性エッチングについて言えば多結晶ケイ素膜単層のパターン形成と変わらない。また、本方法に

よれば、配線は金属膜のエッチングに特有のぎざぎざな形状にならないため、寸法バラツキを低減することができる。

【0023】

【実施例】以下、図面を参照して本発明の実施例を説明する。

（実施例1）図1乃至図4は本発明の第1実施例に係る半導体装置の製造方法を工程順に示す断面図である。より具体的には、本実施例は、MOS型電界効果トランジスタのゲート電極パターン形成に関する。

【0024】まず、図1(a)に示すように、単結晶シリコンからなる基板100上に、ゲート絶縁膜として薄い酸化膜101（膜厚7nm）を形成した後、その上に化学的気相成長（CVD）法を用いて多結晶ケイ素膜102（膜厚100nm）を堆積した。次に、多結晶ケイ素膜上にCVD法により酸化ケイ素膜103（膜厚100nm）を堆積した。なお、酸化ケイ素膜103は、PやB等を含むドーパ・ガラスやTEOS膜でも良い。この後、酸化ケイ素膜上にフォトリソ（膜厚1μm）をスピンコート法により塗布した後、このフォトリソをフォトマスクを通して露光し、現像して、例えば0.25μm幅のリソパターン104を形成した。

【0025】次に、図1(b)に示すように、ドライエッチング装置を用いて、リソパターン104に沿って酸化ケイ素膜103をエッチングした。このときのエッチング条件は、電力密度2.9W/cm²、圧力50mTorr、流量CHF₃/CF₄=74/78SCCMとし、電極温度は35℃に保持した。

【0026】さらに、図1(c)に示すように、リソパターン104及び酸化ケイ素膜103をマスクパターンとして多結晶ケイ素膜102をエッチングした。エッチング条件は、電力密度0.8W/cm²、圧力75mTorr、流量HBr=100SCCMとし、電極温度は65℃に保持した。なお、残存したリソパターン104は多結晶ケイ素膜102のエッチング後にO₂アッシングにより剥離した。

【0027】この後、図2(d)に示すように、多結晶ケイ素膜102のエッチング時に削られた薄い酸化ケイ素膜101の回復と多結晶ケイ素膜102のコーナー部分105を丸めるため、後酸化工程と呼ばれる酸化を行った。これにより、ゲート酸化膜101は元の膜厚まで回復し、かつ多結晶ケイ素膜102のコーナー部分105が丸められる。この結果、ゲート電極のコーナー部分105における電界集中が避けられ、さらにはゲート酸化膜101の信頼性が向上する。

【0028】図2(e)に示すように、この上から、イオン注入法により例えばAs⁺イオンを加速電圧30keV、注入量3×10¹⁴cm⁻²の条件で基板へドーピングを行い、さらに例えば窒素雰囲気中で900℃30秒程度の加熱処理を行い、N型拡散層106を形成した。

【0029】次に、図2(f)に示すように、その上にCVD法により窒化ケイ素膜107（膜厚150nm）を堆積した。窒化ケイ素膜は高融点金属膜に熱膨張係数の近い材料である。窒化ケイ素膜107をドライエッチング法によりエッチバックし、酸化ケイ素膜103と多結晶ケイ素膜102の側壁にのみ残した。エッチング条件は電力密度0.8W/cm²、圧力20mTorr、流量CHF₃/CF₄=74/78SCCMとし、電極温度は60℃に保持した。なお、側壁部分107の膜厚は約50nmであった。

【0030】さらに、図3(g)に示すように、この上から、イオン注入法により例えばAs⁺イオンを加速電圧45keV、注入量3×10¹⁵cm⁻²の条件で基板へドーピングを行い、さらに例えば窒素雰囲気中で800℃30分程度の加熱処理を行い、N⁺拡散層108を形成した。

【0031】この後、図3(h)に示すように、高融点金属膜に対し熱膨張係数の近い絶縁膜により囲むため、この上に再度CVD法により窒化ケイ素膜109（膜厚400nm）を堆積した。次に、窒化ケイ素膜109を平坦化するために、その上にレジストをスピンコート法により塗布し、窒化ケイ素膜109を酸化ケイ素膜の上面が現れる高さまでエッチバックを行った。なお、窒化ケイ素膜109の平坦化を行う方法として、エッチバックの他に、化学的機械研磨（CMP）法によっても可能である。

【0032】次に、図3(i)に示すように、多結晶ケイ素膜102上の酸化ケイ素膜103をドライエッチングにより窒化ケイ素膜109に対して選択的に除去した。エッチング条件は、電力密度2.9W/cm²、圧力40mTorr、流量C₄F₈/CO/Ar=10/100/200SCCMとし、電極温度は30℃に保持した。このとき、酸化ケイ素膜103は約400nm/分でエッチングされるのに対し、窒化ケイ素膜109は約20nm/分でエッチングされたため、酸化ケイ素膜103の窒化ケイ素膜109に対する選択比は約20であった。なお、窒化ケイ素膜109に対し、酸化ケイ素膜103を選択的に除去する方法として、例えば5%まで希釈したフッ化水素酸（HF）水溶液に被処理基板を浸すことでも可能である。

【0033】この結果、図3(i)に示すように、基板100上に多結晶ケイ素膜102を底部に持った窒化ケイ素膜109からなる溝110が形成された。次に、図4(j)に示すように、その上からN₂/Ar混合ガスを用い反応性スパッタリング法により窒化タングステン膜111（膜厚10nm）を全面に堆積した。なお、窒化タングステン膜111は、タングステン膜112と多結晶ケイ素膜102との間の反応障壁層として用いた。次いでCVD法によりタングステン膜112を溝110を埋め込むように堆積した。

【0034】図4(k)に示すように、ドライエッチング法により、タングステン膜112及び窒化タングステン膜111を窒化ケイ素膜109が露出するまでエッチバックした。エッチング条件は、電力密度 1.5 W/cm^2 、圧力 40 mTorr 、流量 $\text{SF}_6/\text{O}_2 = 25/75\text{ SCCM}$ とし、電極温度は 80°C に保持した。なお、タングステン膜112及び窒化タングステン膜111の平坦化を行う方法として、エッチバックの他に、CMP法によっても可能である。

【0035】この結果、溝内部にのみタングステン膜112及び窒化タングステン膜111が残り、窒化ケイ素膜で囲まれた高融点金属膜と反応障壁層と多結晶ケイ素膜とからなるゲート電極パターンが形成された。

【0036】このように、本実施例では、高融点金属膜及び多結晶ケイ素膜の側面は窒化ケイ素膜により覆われている。電極とそれを覆う絶縁膜との間に働くストレスは電極自体に悪影響を及ぼすだけでなく、本実施例のようにMOS型トランジスタのゲート電極に用いた場合には、電極直下にある薄い酸化膜の信頼性劣化を招く恐れがある。材料の熱膨張係数をそれぞれ示すと、高融点金属膜、例えばタングステンは約 $1 \times 10^{10}\text{ dyn/cm}^2$ 、多結晶ケイ素膜のそれは約 $8 \times 10^9\text{ dyn/cm}^2$ である。なお、反応障壁層、例えば窒化タングステン膜はタングステン膜とほぼ同様な値である。これに対し、通常、絶縁膜として用いられる酸化ケイ素膜は約 $5 \times 10^8\text{ dyn/cm}^2$ であり、高融点金属膜とは一桁程度小さく、酸化ケイ素膜と高融点金属膜との間に大きなストレスが加わる。しかし、窒化ケイ素膜の熱膨張係数はタングステンに近く、その値は約 $8 \times 10^9\text{ dyn/cm}^2$ であるため、高融点金属膜の側面を窒化ケイ素膜で囲むことにより、電極及び配線に加わるストレスを大幅に緩和することが可能となる。

【0037】なお、本実施例では高融点金属膜としてタングステン(W)を用いたが、この他にモリブデン(Mo)、ニオブ(Nb)、タンタル(Ta)でも良い。また、反応障壁層として窒化タングステン膜を用いたが、高融点金属膜の窒化物、窒化酸化物、炭化物、ホウ化物でも良い。さらに、窒化ケイ素膜、炭化ケイ素膜も反応障壁層として利用可能である。

【0038】また、本実施例では、高融点金属膜に熱膨張係数の近い絶縁膜として、窒化ケイ素膜を用いたが、窒化酸化ケイ素膜(オキシナイトライド)でも良い。

(実施例2) 図5乃至図8は本発明の第2実施例に係る半導体装置の製造方法を工程順に示す断面図である。より具体的には、本実施例は、MOS型電界効果トランジスタのゲート電極パターンの形成に関する。

【0039】まず、図5(a)に示すように、素子分離201を有する基板200上に、ゲート絶縁膜として薄い酸化ケイ素膜202(膜厚 7 nm)を形成した後、その上に化学的気相成長(CVD)法を用いて多結晶ケイ

素膜203(膜厚 200 nm)を堆積した。この後、多結晶ケイ素膜203上にフォトリソ(膜厚 $1\text{ }\mu\text{m}$)をスピンコート法により塗布した後、このフォトリソをフォトマスクを通して露光し、現像して、レジストパターン204を形成した。

【0040】次に、図5(b)に示すように、ドライエッチング装置を用いて、レジストパターン204に沿って多結晶ケイ素膜203をエッチングした。なお、残存したレジストパターン204は多結晶ケイ素膜203のエッチング後に O_2 アッシングにより剥離した。

【0041】この後、図5(c)に示すように、多結晶ケイ素膜203のエッチング時に削られた薄い酸化ケイ素膜202の回復と多結晶ケイ素膜のコーナー部分を丸めるため、後酸化を行った。この上から、イオン注入法により例えば As^+ イオンを加速電圧 30 keV 、注入量 $3 \times 10^{14}\text{ cm}^{-2}$ の条件で基板200へドーピングを行い、N型拡散層205を形成した。

【0042】次に、図6(d)に示すように、CVD法により窒化ケイ素膜206(膜厚 150 nm)を堆積した。窒化ケイ素膜206をドライエッチング法によりエッチバックし、多結晶ケイ素膜203の側面にのみ残した。

【0043】さらに、図6(e)に示すように、この上から、イオン注入法により例えば As^+ イオンを加速電圧 45 keV 、注入量 $3 \times 10^{15}\text{ cm}^{-2}$ の条件で基板へドーピングを行い、 N^+ 拡散層207を形成した。

【0044】この後、図6(f)に示すように、高融点金属膜に対し熱膨張係数の近い絶縁膜により囲むため、この上に再度CVD法により窒化ケイ素膜208(膜厚 400 nm)を堆積した。次いで、窒化ケイ素膜208と多結晶ケイ素膜203を平坦化するために、その上にレジストをスピンコート法により塗布し、薄い酸化膜202上の多結晶ケイ素膜203の高さまで平坦化を行った。

【0045】次に、図7(g)に示すように、酸素雰囲気中で多結晶ケイ素膜203を膜厚約 100 nm 相当分だけ酸化させ、多結晶ケイ素膜203上に酸化ケイ素膜209を形成した。このとき、素子分離領域201上の多結晶ケイ素膜203はほとんど残らないが、薄い酸化膜202上は膜厚 100 nm の多結晶ケイ素膜203が残る。

【0046】この後、図7(h)に示すように、酸化ケイ素膜209のみをドライエッチングにより窒化ケイ素膜208に対して選択的に除去した。この結果、素子分離領域201を有する基板200上に多結晶ケイ素膜203を底部に持った窒化ケイ素膜208からなる溝が形成された。

【0047】図7(i)に示すように、その上から N_2/Ar 混合ガスを用い反応性スパッタリング法により窒化タングステン膜210(膜厚 10 nm)を全面に堆積

し、次いでCVD法によりタングステン膜211を溝を埋め込むように堆積した。

【0048】その後、図8(j)に示すように、ドライエッチングにより、タングステン膜211及び窒化タングステン膜210を窒化ケイ素膜208が露出するまでエッチバックした。この結果、溝内部にのみタングステン膜211及び窒化タングステン膜210が残り、高融点金属膜及び反応障壁層と多結晶ケイ素膜とからなるゲート電極パターンが形成された。

【0049】なお、素子分離領域201上は多結晶ケイ素膜203がほとんど残らないが、ゲート電極自体はタングステン膜211で電気的につながっており、トランジスタの動作特性に支障は無い。

(実施例3) 図9乃至図12は本発明の第3実施例に係る半導体装置の製造方法を工程順に示す断面図である。より具体的には、本実施例は、MOS型電界効果トランジスタのゲート電極パターンの形成に関する。

【0050】まず、図9(a)に示すように、素子分離領域301を有する基板300上に、ゲート絶縁膜として薄い酸化膜302(膜厚7nm)を形成した後、その上に化学的気相成長(CVD)法を用いて多結晶ケイ素膜303(膜厚100nm)を堆積した。

【0051】この後、図9(b)に示すように、素子分離301の高さまで多結晶ケイ素膜303をCMP法により平坦化した。なお、多結晶ケイ素膜303の平坦化を行う方法として、CMP法の他にエッチバックにても可能である。

【0052】次に、図9(c)に示すように、多結晶ケイ素膜303上にCVD法により酸化ケイ素膜304(膜厚100nm)を堆積した。この後、酸化ケイ素膜304上にレジストパターン305を形成した。

【0053】次に、図10(d)に示すように、ドライエッチング装置を用いて、レジストパターン305に沿って酸化ケイ素膜304及び多結晶ケイ素膜303をエッチングした。なお、残存したレジストパターン305は多結晶ケイ素膜303のエッチング後にO₂アッシングにより剥離した。

【0054】この後、図10(e)に示すように、多結晶ケイ素膜303のエッチング時に削られた薄い酸化膜302の回復と多結晶ケイ素膜のコーナー部分を丸めるため、後酸化を行った。さらに、この上から、イオン注入法により例えばAs⁺イオンを加速電圧30keV、注入量 $3 \times 10^{14} \text{ cm}^{-2}$ の条件で基板300へドーピングを行い、N型拡散層306を形成した。

【0055】次に、図10(f)に示すように、CVD法により窒化ケイ素膜307(膜厚150nm)を堆積した。窒化ケイ素膜307をドライエッチング法によりエッチバックし、酸化ケイ素膜304と多結晶ケイ素膜303の側壁にのみ残した。

【0056】さらに、図11(g)に示すように、この

上から、イオン注入法により例えばAs⁺イオンを加速電圧45keV、注入量 $3 \times 10^{15} \text{ cm}^{-2}$ の条件で基板300へドーピングを行い、N⁺拡散層308を形成した。

【0057】この後、図11(h)に示すように、高融点金属膜に対し熱膨張係数の近い絶縁膜により囲むため、この上に再度CVD法により窒化ケイ素膜309(膜厚400nm)を堆積した。次に、窒化ケイ素膜309を平坦化するために、その上にレジストをスピンコート法により塗布し、窒化ケイ素膜309を酸化ケイ素膜304の上面が現れる高さまでエッチバックを行った。

【0058】次に、図11(i)に示すように、多結晶ケイ素膜303上の酸化ケイ素膜304をドライエッチングにより窒化ケイ素膜309に対して選択的に除去した。この結果、多結晶ケイ素膜303を底部に持った窒化ケイ素膜309からなる溝が形成された。

【0059】さらに、図12(j)に示すように、その上から反応性スパッタリング法により窒化タングステン膜310(膜厚10nm)を、次いでCVD法によりタングステン膜311を溝を埋め込むように堆積した。

【0060】その後、図12(k)に示すように、ドライエッチングにより、タングステン膜311及び窒化タングステン膜310を窒化ケイ素膜309が露出するまでエッチバックした。この結果、溝内部にのみタングステン膜311及び窒化タングステン膜310が残り、高融点金属膜及び反応障壁層と多結晶ケイ素膜とからなるゲート電極パターンが形成された。

【0061】なお、素子分離領域301上は多結晶ケイ素膜303はほとんど残らないが、ゲート電極自体はタングステン膜311で電気的につながっており、トランジスタの動作特性に支障は無い。なお、第1乃至第3実施例では、ゲート電極に係わる例を説明したが、これ以外に用いられる電極及び配線にも本発明を適用することができる。

【0062】

【発明の効果】本発明によれば、高融点金属と反応障壁層と多結晶ケイ素膜とからなる配線及び電極を高融点金属膜に対し熱膨張係数の近い絶縁膜で側面を囲うことにより、高融点金属膜と絶縁膜にかかるストレスを大幅に低減できる。

【0063】また、本発明によれば、底部に多結晶ケイ素膜を有する窒化膜の溝内部に反応障壁層及び高融点金属膜を埋め込むことにより、高融点金属と反応障壁層と多結晶ケイ素膜とからなる構造を形成することが可能となる。

【0064】さらに、多結晶ケイ素膜上に選択的に溝を形成することが可能であり、これにより、自己整合的に反応障壁層及び高融点金属膜を埋め込むことができる。また、高融点金属膜の堆積前に電極及び配線の後酸化工

程を行うことが可能であり、酸化膜の信頼性向上を図ることができるとともに、高融点金属の酸化による劣化は問題とならない。

【0065】さらに、高融点金属膜は溝埋め込みによって形成するため、高融点金属膜を下地多結晶ケイ素膜に対し選択的にエッチングする必要もなく、異方性エッチングについて言えば多結晶ケイ素膜単層のパターン形成と変わらない。

【0066】このような効果によって、高融点金属膜と反応障壁層と多結晶ケイ素膜との積層構造からなる電極及び配線パターンを形成することが可能となり、半導体デバイスの高性能化が図れる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る半導体装置の製造方法を工程順に示す断面図。

【図2】本発明の第1実施例に係る半導体装置の製造方法を図1に続いて工程順に示す断面図。

【図3】本発明の第1実施例に係る半導体装置の製造方法を図2に続いて工程順に示す断面図。

【図4】本発明の第1実施例に係る半導体装置の製造方法を図3に続いて工程順に示す断面図。

【図5】本発明の第2実施例に係る半導体装置の製造方法を工程順に示す断面図。

【図6】本発明の第2実施例に係る半導体装置の製造方法を図5に続いて工程順に示す断面図。

【図7】本発明の第2実施例に係る半導体装置の製造方法を図6に続いて工程順に示す断面図。

【図8】本発明の第2実施例に係る半導体装置の製造方法を図7に続いて工程順に示す断面図。

【図9】本発明の第3実施例に係る半導体装置の製造方法を工程順に示す断面図。

【図10】本発明の第3実施例に係る半導体装置の製造方法を図9に続いて工程順に示す断面図。

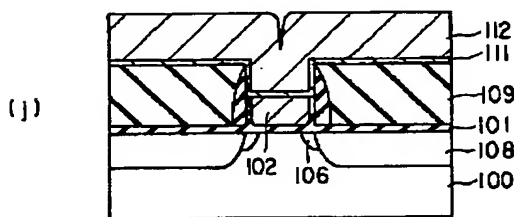
【図11】本発明の第3実施例に係る半導体装置の製造方法を図10に続いて工程順に示す断面図。

【図12】本発明の第3実施例に係る半導体装置の製造方法を図11に続いて工程順に示す断面図。

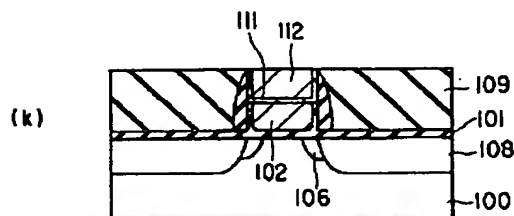
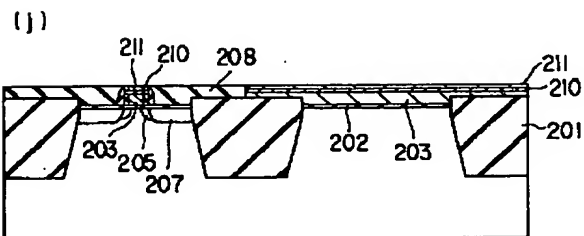
【符号の説明】

100…基板、101…薄い酸化ケイ素膜、102…多結晶ケイ素膜、103…酸化ケイ素膜、104…レジスト、105…コーナー部分、106…N型拡散層、107…側壁部分、108…N⁺型拡散層、109…窒化ケイ素膜、110…溝、111…窒化タングステン膜、112…タングステン膜、200…基板、201…素子分離、202…薄い酸化ケイ素膜、203…多結晶ケイ素膜、204…レジスト、205…N型拡散層、206…窒化ケイ素膜、207…N⁺型拡散層、208…窒化ケイ素膜、209…酸化ケイ素膜、210…窒化タングステン膜、211…タングステン膜、300…基板、301…素子分離、302…薄い酸化ケイ素膜、303…多結晶ケイ素膜、304…酸化ケイ素膜、305…レジスト、306…N型拡散層、307…窒化ケイ素膜、308…N⁺型拡散層、309…窒化ケイ素膜、310…窒化タングステン膜、311…タングステン膜。

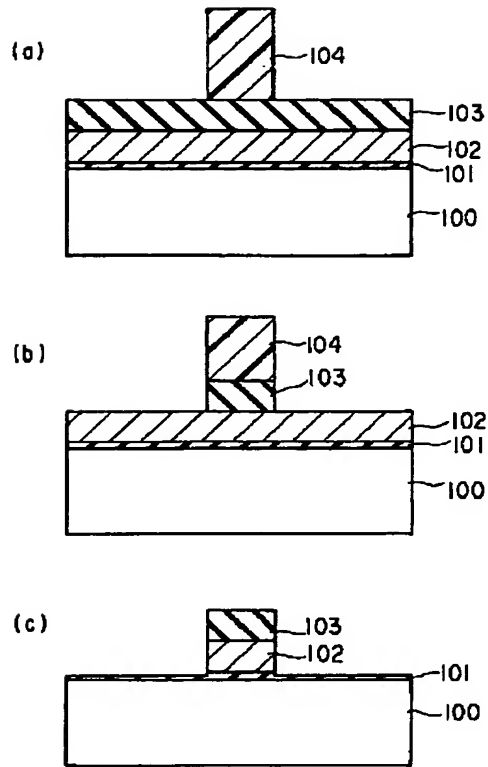
【図4】



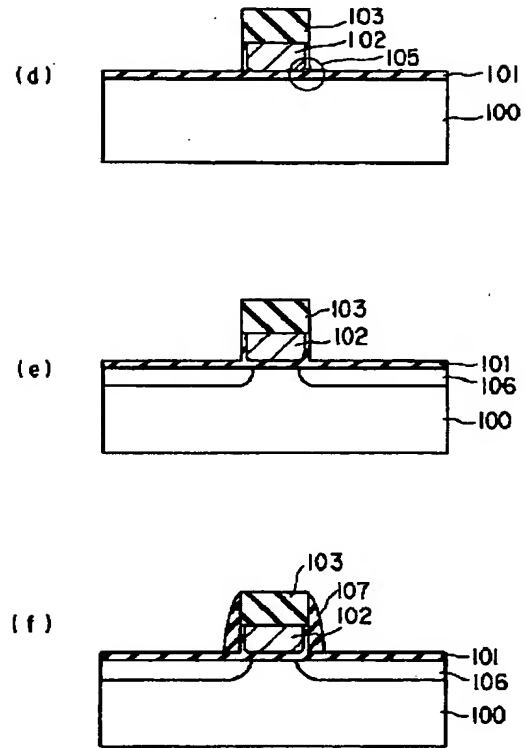
【図8】



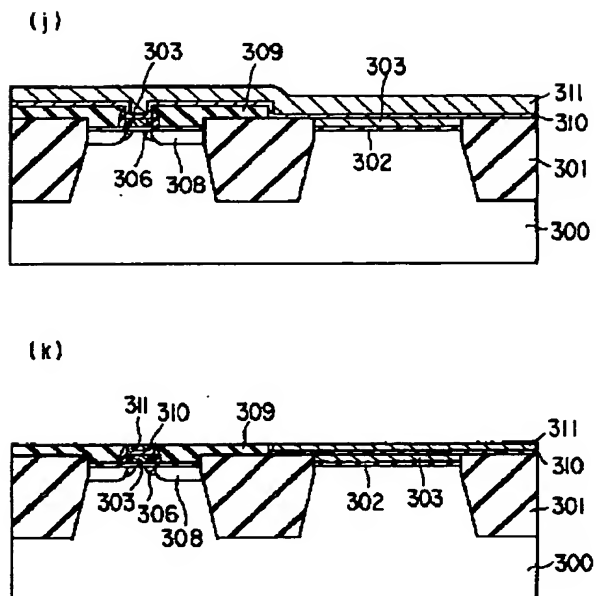
【図 1】



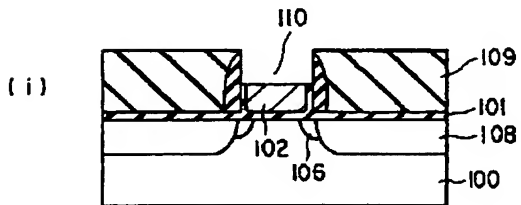
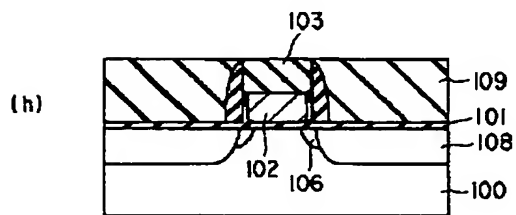
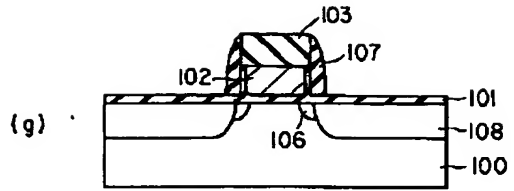
【図 2】



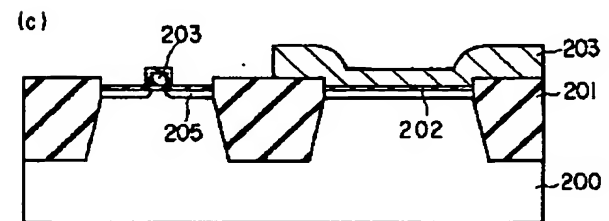
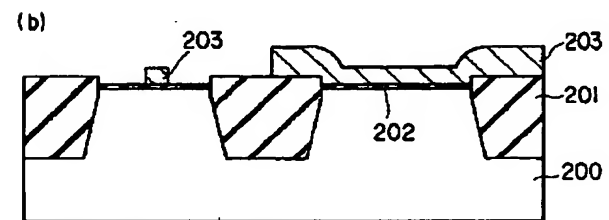
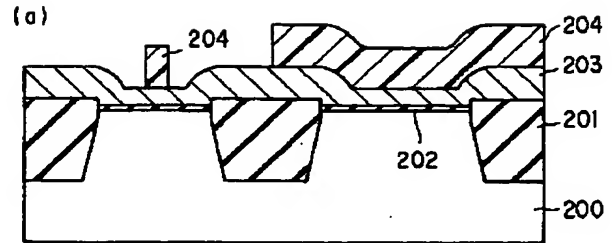
【図 1 2】



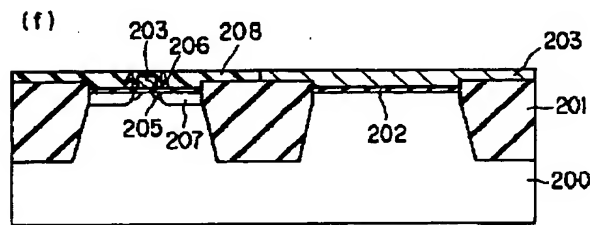
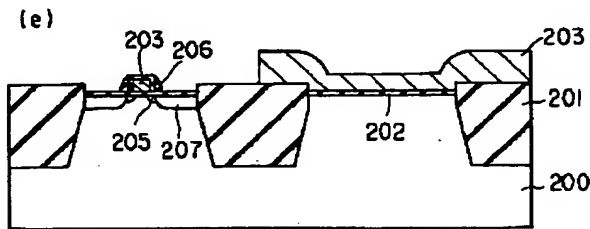
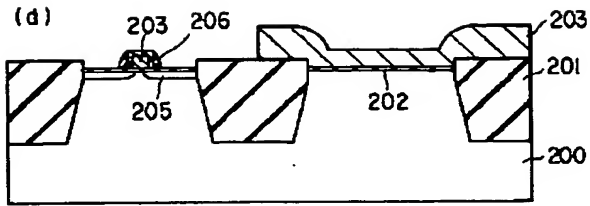
【図 3】



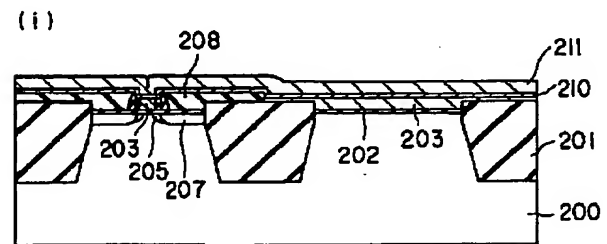
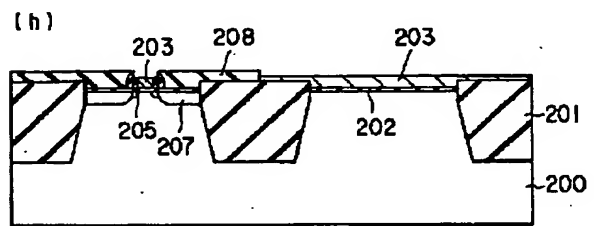
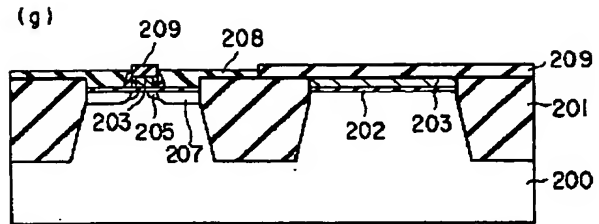
【図 5】



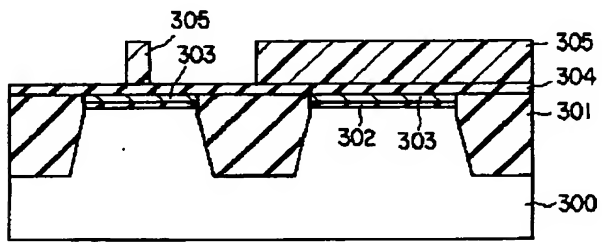
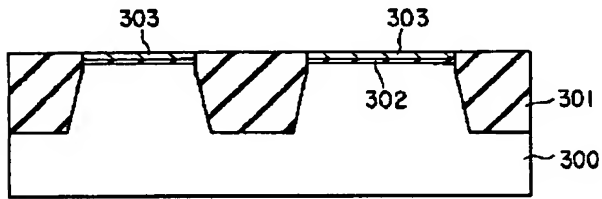
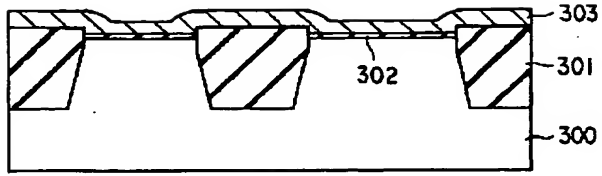
【図 6】



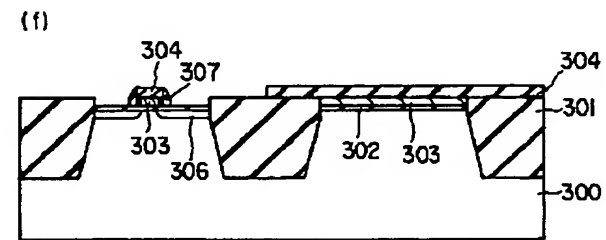
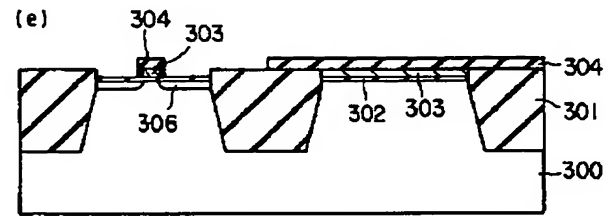
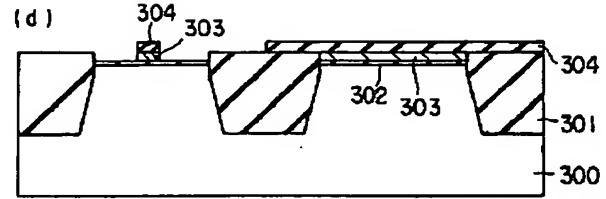
【図 7】



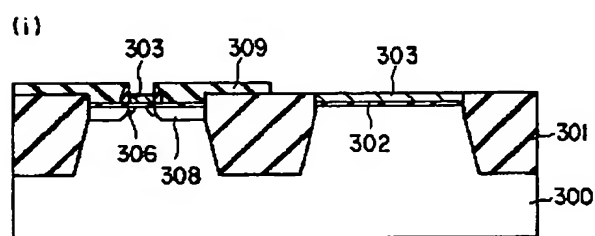
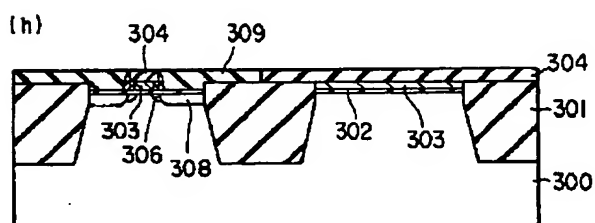
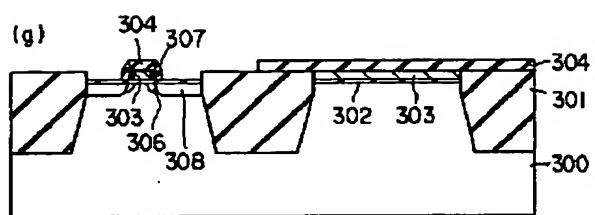
【図 9】



【図 10】



【図 11】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 13 年 4 月 13 日 (2001. 4. 13)

【公開番号】特開平 8-264531
 【公開日】平成 8 年 10 月 11 日 (1996. 10. 11)
 【年通号数】公開特許公報 8-2646
 【出願番号】特願平 7-63099
 【国際特許分類第 7 版】

H01L 21/3205
 21/28 301
 29/78

【F I】

H01L 21/88 R
 21/28 301 R
 21/88 Q
 29/78 301 G

【手続補正書】

【提出日】平成 11 年 12 月 8 日 (1999. 12. 8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】高融点金属膜を含む配線及び電極が高融点金属膜に対し熱膨張係数の近い絶縁膜で覆われていることを特徴とする半導体装置。

【請求項 2】高融点金属膜を含む配線及び電極パターンの形成に際し、前記高融点金属膜に対して熱膨張係数の近い絶縁膜を基板上に堆積すると共に前記絶縁膜に溝を形成する工程と、前記絶縁膜上に反応障壁層及び前記高融点金属膜を順に堆積し、前記溝を埋め込む工程と、前記反応障壁層及び前記高融点金属膜を平坦化する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 3】前記溝を形成する工程が、多結晶ケイ素膜を基板上に堆積する工程と、前記多結晶ケイ素膜上に酸化ケイ素膜を形成する工程と、前記多結晶ケイ素膜及び前記酸化ケイ素膜からなる積層膜をパターニングする工程と、パターニングされた前記積層膜を含む前記基板上に前記絶縁膜を堆積する工程と、前記絶縁膜を平坦化する工程と、前記酸化ケイ素膜を選択的に除去する工程と、を具備することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】前記多結晶ケイ素膜の堆積後でかつ前記酸化ケイ素膜の堆積前に、前記多結晶ケイ素膜を平坦化する工程をさらに具備することを特徴とする請求項 3 記載

の半導体装置の製造方法。

【請求項 5】前記溝を形成する工程が、多結晶ケイ素膜を基板上に堆積する工程と、前記多結晶ケイ素膜をパターニングする工程と、パターニングされた前記多結晶ケイ素膜を含む前記基板上に前記絶縁膜を堆積する工程と、パターニングされた前記多結晶ケイ素膜が露出するように前記絶縁膜を平坦化する工程と、パターニングされた前記多結晶ケイ素膜を酸化雰囲気中に曝し、該多結晶ケイ素膜上に酸化ケイ素膜を形成する工程と、前記酸化ケイ素膜を選択的に除去する工程と、を具備することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 6】前記配線及び電極パターンはゲート電極パターンであることを特徴とする請求項 2 乃至 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】半導体基板上にゲート絶縁膜を介して形成された多結晶ケイ素膜と、前記多結晶ケイ素膜上に形成された高融点金属膜と、を具備する MOS 型電界効果トランジスタのゲート電極であって、前記多結晶ケイ素膜側面及び前記高融点金属膜側面に展延して窒化ケイ素よりなる側壁が形成され、前記多結晶ケイ素膜下部の前記ゲート絶縁膜の膜厚は前記側壁近傍部の膜厚が前記多結晶ケイ素膜中央部下部の膜厚よりも厚く形成されていることを特徴とする MOS 型電界効果トランジスタのゲート電極。

【請求項 8】前記多結晶ケイ素膜と前記側壁との界面に酸化膜が形成されていることを特徴とする請求項 7 に記載の MOS 型電界効果トランジスタのゲート電極。

【請求項 9】前記多結晶ケイ素膜と前記側壁との界面に窒化タングステン膜が形成されていることを特徴とする請求項 7 または 8 に記載の MOS 型電界効果トランジスタのゲート電極。